

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069776

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H03M 1/14

H03M 1/46

(21)Application number : 07-224257

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.08.1995

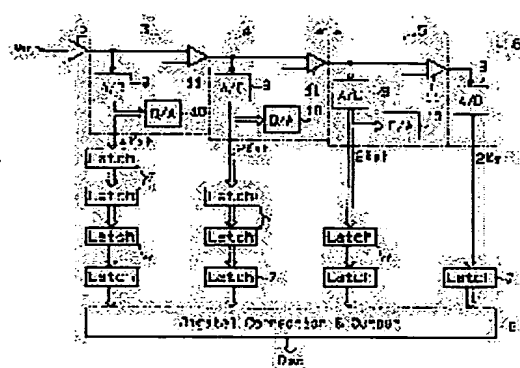
(72)Inventor : WADA ATSUSHI
TANI KUNYUKI

(54) ANALOG-DIGITAL CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-bit analog-digital conversion circuit which has a high precision and a low power consumption and is inexpensively made on-chip.

SOLUTION: An A/D converter 1 consists of a sampling and holding circuit 2, circuits 3 to 6 in first to fourth stages, a latch circuit 7, and an output circuit 8. Circuits 3 to 5 in first to third stages are provided with sub-A/D converters 9, D/A converters 10, and differential amplifiers 11. The circuit 6 in the fourth stage is provided with only the sub-A/D converter 9. The circuit in the first stage has four bits, and each of circuits 4 in second to fourth stages has 2 bits. In circuits 3 to 5 in first to third stages, sub-A/D converters 9 and D/A converters 10 are set to the same number (n) of bits.



LEGAL STATUS

[Date of request for examination] 12.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3086636

[Date of registration] 07.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69776

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl.⁶

H 0 3 M 1/14
1/46

識別記号

片内整理番号

F I

H 0 3 M 1/14
1/46

技術表示箇所

A

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平7-224257

(22) 出願日 平成7年(1995)8月31日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 和田 淳

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 谷 邦之

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

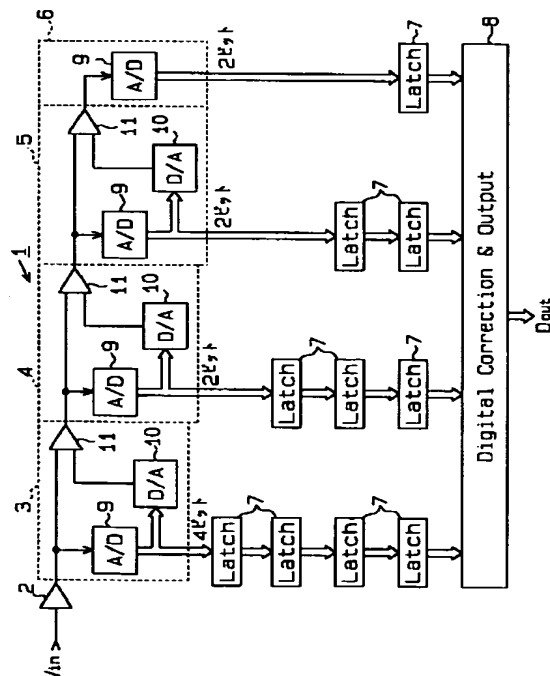
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 アナログ-デジタル変換回路

(57) 【要約】

【課題】 高精度かつ低消費電力で安価にオンチップ化が可能な多ビットのアナログ-デジタル変換回路を提供する。

【解決手段】 A/Dコンバータ1は、サンプルホールド回路2、1段目~4段目の回路3~6、ラッチ回路7、出力回路8から構成されている。1段目~3段目の回路3~5は、サブA/Dコンバータ9、D/Aコンバータ10、差分アンプ11を備える。4段目の回路6はサブA/Dコンバータ9だけを備える。1段目の回路3は4ビット、2~4段目の回路4はそれぞれ2ビットである。1~3段目の回路3~5において、サブA/Dコンバータ9およびD/Aコンバータ10のビット数nは同じに設定されている。



【特許請求の範囲】

【請求項 1】 初段のビット構成が 2 段以降のそれより、2 ビット以上大きく設定された多段パイプライン構成をとるアナログーデジタル変換回路。

【請求項 2】 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、初段のビット構成が 2 段以降のそれより、2 ビット以上大きく設定されたアナログーデジタル変換回路。

【請求項 3】 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、初段のビット構成が 2 段以降のそれより 2 ビット以上大きく設定され、2 段から最終段のビット構成が等しく均等分割されたアナログーデジタル変換回路。

【請求項 4】 レファレンス電圧線が奇数段と偶数段で分離された多段パイプライン構成をとるアナログーデジタル変換回路。

【請求項 5】 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、レファレンス電圧線が奇数段と偶数段で分離されたアナログーデジタル変換回路。

【請求項 6】 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、奇数段と偶数段で別個のレファレンス電圧線を備え、各レファレンス電圧線がデカプリングされたアナログーデジタル変換回路。

【請求項 7】 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、任意の段の差分アンプのサンプリング時点が、同じ段のサブ A/D コンバータのサンプリング時点よりも後に設定されているアナログーデジタル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアナログーデジタル変換回路（A/D コンバータ）に係り、詳しくは、多段パイプライン（ステップフラッシュ）構成をとる A/D コンバータに関するものである。

【0002】

【従来の技術】 近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用の A/D コンバータの需要が大きくなっている。ビデオ信号処理用の A/D コンバータには高速変換動作が要求されるため、従来、2 ステップフラッシュ（2 ステップパラレル）方式が広く用いられていた。

【0003】 しかし、変換ビット数の増大に伴い、2 ステップフラッシュ方式では十分な変換精度が得られなくなってきた。分解能を表す LSB（Least Significant Bit）は、式（1）に示すように、アナログ入力信号の

入力電圧範囲（FSR；FullScale Range）とビット数 N を用いて表される。

$$\text{【0004】 } 1 \text{ LSB} = \text{FSR} / 2^N \quad \cdots \cdots (1)$$

例えば、ビット数が 10 ビットで FSR が 2 V の場合、式（1）から LSB は 2 mV となる。このように LSB が小さくなると、2 ステップフラッシュ方式 A/D コンバータを構成する各コンパレータの分解能が限界となり、十分な変換精度を得ることが難しくなる。実際問題として、2 ステップフラッシュ方式で 9 ビット以上を得ることは現実的でない。

【0005】 そこで、各段が A/D コンバータとデジタルーアナログ変換回路（D/A コンバータ）と差分アンプとから成る多段パイプライン構成をとる A/D コンバータが開発された。

【0006】 その動作は、まず、アナログ入力信号に対して、1 段目の A/D コンバータを用いて A/D 変換を行う。次に、1 段目の A/D コンバータの A/D 変換結果を 1 段目の D/A コンバータに加え、D/A 変換を行う。続いて、1 段目の D/A コンバータの D/A 変換結果とアナログ入力信号とを 1 段目の差分アンプに加え、差分を増幅する。その 1 段目の差分アンプの出力に対して、2 段目の A/D コンバータを用いて A/D 変換を行う。次に、2 段目の A/D コンバータの A/D 変換結果を 2 段目の D/A コンバータに加え、D/A 変換を行う。続いて、2 段目の D/A コンバータの D/A 変換結果と 1 段目の差分アンプの出力とを 2 段目の差分アンプに加え、差分を増幅する。この後は、同様の動作を各段で順次行う。但し、最後段は A/D コンバータだけから構成され、前段の差分アンプの出力を A/D 変換する。例えば、3 段パイプライン構成で、1～3 段目の A/D コンバータのビット数（ビット構成）がそれぞれ a, b, c の場合には、1 段目の A/D コンバータから上位 a ビット、2 段目の A/D コンバータから中位 b ビット、3 段目の A/D コンバータから下位 c ビットのデジタル出力が得られる。

【0007】 ところで、パイプライン動作では、m 段目の A/D コンバータが A/D 変換のサンプリングを行っている時、m+1 段目の D/A コンバータは D/A 変換を行う。つまり、パイプライン動作では、隣合う各段の動作が異なり、奇数段と偶数段が別の動作を行う。

【0008】 尚、各段において、A/D コンバータと D/A コンバータのビット数（ビット構成）n は同じに設定されている。また、各段の A/D コンバータは、A/D コンバータ全体と区別するため、サブ A/D コンバータと呼ばれる。そして、サブ A/D コンバータには、高速変換動作が可能な全並列比較（フラッシュ）方式が用いられる。

【0009】 また、差分アンプは、アナログ入力信号または前段の差分アンプの出力と、同じ段の D/A コンバータの D/A 変換結果との差分を増幅する。D/A 変換

結果は、アナログ入力信号または前段の差分アンプの出力が、その段に入力された後に生成される。そのため、差分アンプは、D/A変換結果が得られるまでの間、アナログ入力信号または前段の差分アンプの出力をサンプリングして保持する。その差分アンプのサンプリング時点は、同じ段のサブA/Dコンバータのサンプリング時点と同じである。

【0010】このように、多段パイプライン構成をとれば、各段において、アナログ入力信号または前段の差分アンプの出力と、その段のデジタル出力のD/A変換結果との差分が、その段の差分アンプによって増幅される。そのため、変換ビット数が増大してLSBが小さくなくても、A/Dコンバータを構成する各コンパレータの分解能を実質的に向上させることが可能になり、十分な変換精度が得られる。

【0011】

【発明が解決しようとする課題】多段パイプライン構成をとるA/Dコンバータには以下の問題点がある。

①差分アンプの特性がA/D変換に大きな影響を及ぼす。従って、ゲインが一定で安定度が高く高精度で高速動作が可能な差分アンプが必要である。

【0012】②上記①のような差分アンプをCMOSロジックで構成するには、カスケード方式のオペアンプを用いる必要がある。しかし、カスケード方式では電源電圧を高くしなければならず、低消費電力化が難しくなる。

【0013】③高精度な差分アンプを具体化するには、オペアンプを用いて、その負帰還容量のバラツキを小さくする必要がある。A/Dコンバータをオンチップ化する場合、負帰還容量のバラツキを小さくするには、十分な膜厚の層間絶縁膜を備えた2層ポリシリコン構造を採用し、ポリシリコン層間に負帰還容量を形成しなければならない。なぜなら、1層ポリシリコン構造を採用した場合、負帰還容量はポリシリコン層とメタル層の間に形成しなければならず、ポリシリコン層とメタル層の間の層間絶縁膜の膜厚は薄いため、負帰還容量のバラツキを小さくするのが難しいためである。2層ポリシリコン構造を採用するとなると、製造工程が複雑化してコストが増大する。

【0014】④差分アンプのサンプリング時点が、同じ段のサブA/Dコンバータのサンプリング時点と同じである。そのため、差分アンプには大きなスルーレートが要求される。

【0015】⑤パイプライン動作では奇数段と偶数段が別の動作を行うため、レファレンス電圧線にノイズが生じやすく、レファレンス電圧が不安定になりやすい。レファレンス電圧が不安定になると、A/D変換精度が低下する。すなわち、各段のサブA/DコンバータおよびD/Aコンバータには、共通のレファレンス電圧線からレファレンス電圧が供給されている。従って、奇数段

(または偶数段)のD/AコンバータのD/A変換動作によってレファレンス電圧線に生じるノイズが、偶数段(または奇数段)のサブA/DコンバータのA/D変換動作に悪影響を及ぼすことがある。また、奇数段(または偶数段)のサブA/DコンバータのA/D変換動作によってレファレンス電圧線に生じるノイズが、偶数段(または奇数段)のD/AコンバータのD/A変換動作に悪影響を及ぼすこともある。

【0016】この問題は、サブA/Dコンバータにフラッシュ方式を用いた場合に特に顕著に表れる。すなわち、ビット数nのフラッシュ方式A/Dコンバータは $(2^n - 1)$ 個のコンパレータを備えるが、この多数のコンパレータが同時に動作するため、レファレンス電圧線にノイズが生じやすい。

【0017】加えて、コンパレータにチョップ方式や差動チョップ方式を用いた場合には、コンパレータが備えるチョップ容量の充放電電流がレファレンス電圧線に流れるため、非常に大きなノイズが生じる恐れがある。このノイズを低減するには、フラッシュ方式A/Dコンバータの内部でレファレンス電圧線間に直列に接続されるレファレンス抵抗を小さくすればよい。しかし、レファレンス抵抗を小さくするとレファレンス電圧線間に流れる貫通電流が大きくなり、消費電力が増大する。

【0018】本発明は上記問題点を解決するためになされたものであって、その目的は、高精度かつ低消費電力で安価にオンチップ化が可能な多ビットのアナログーデジタル変換回路を提供することにある。

【0019】

【課題を解決するための手段】請求項1に記載の発明は、初段のビット構成が2段以降のそれより、2ビット以上大きく設定された多段パイプライン構成をとることをその要旨とする。

【0020】請求項2に記載の発明は、各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、初段のビット構成が2段以降のそれより、2ビット以上大きく設定されたことをその要旨とする。

【0021】請求項3に記載の発明は、各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、初段のビット構成が2段以降のそれより2ビット以上大きく設定され、2段から最終段のビット構成が等しく均等分割されたことをその要旨とする。

【0022】請求項4に記載の発明は、レファレンス電圧線が奇数段と偶数段で分離された多段パイプライン構成をとることをその要旨とする。請求項5に記載の発明は、各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、レファレンス電圧線が奇数段と偶数段で分離されたことをその要旨とする。

【0023】請求項6に記載の発明は、各段がアナログ-デジタル変換回路とデジタル-アナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、奇数段と偶数段で別個のレファレンス電圧線を備え、各レファレンス電圧線がデカップリングされたことをその要旨とする。

【0024】請求項7に記載の発明は、各段がアナログ-デジタル変換回路とデジタル-アナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、任意の段の差分アンプのサンプリング時点が、同じ段のサブA/Dコンバータのサンプリング時点よりも後に設定されていることをその要旨とする。

【0025】

【発明の実施の形態】以下、本発明を具体化した一実施形態を図面に従って説明する。図1に、本実施形態の10ビット4段パイプライン構成をとるA/Dコンバータ1のブロック回路を示す。

【0026】A/Dコンバータ1は、サンプルホールド回路2、1段目～4段目の回路3～6、ラッチ回路7、出力回路8から構成されている。1段目～3段目の回路3～5は、サブA/Dコンバータ9、D/Aコンバータ10、差分アンプ11を備える。4段目（最終段）の回路6はサブA/Dコンバータ9だけを備える。1段目（初段）の回路3は4ビット構成、2～4段目の回路4～6はそれぞれ2ビット構成である。1～3段目の回路3～5において、サブA/Dコンバータ9およびD/Aコンバータ10のビット数（ビット構成）nは同じに設定されている。

【0027】次に、A/Dコンバータ1の動作を説明する。サンプルホールド回路2は、アナログ入力信号Vinをサンプリングして一定時間保持する。サンプルホールド回路2から出力されたアナログ入力信号Vinは、1段目の回路3へ転送される。

【0028】1段目の回路3において、サブA/Dコンバータ9はアナログ入力信号Vinに対してA/D変換を

$$X = A_i \times OF + LSB_i \times A_i \times GE \quad \dots\dots (2)$$

$$Y = [LSB_1 + LSB_2 / A_1 + LSB_3 / (A_2 \times A_1) + LSB_4 / (A_3 \times A_2)] \times GE \quad \dots\dots (3)$$

オーバーレンジ量Xは小さい方が良いため、式(2)から、ゲインAiおよびLSBiは小さい方が良いことがわかる。ところで、ミスコッド耐性を向上させるには、LSBiを大きくした方がよい。従って、ゲインAiをできるだけ小さくする必要がある。各段の回路3～6のゲインAiを小さくすることは、多段パイプライン構成の段数を多くした上で、各段の回路3～6のビット数を大きくすることに他ならない。従って、2段や3段で構成した場合に比べて、本実施形態のように4段で構成した場合の方がオーバーレンジ量Xを小さくすることができる。ところで、5段以上で構成した場合には、A/Dコンバータ全体の回路規模が大きくなり過ぎる恐れがあ

行う。サブA/Dコンバータ9のA/D変換結果である上位4ビットのデジタル出力(2⁹, 2⁸, 2⁷, 2⁶)は、D/Aコンバータ10へ転送されると共に、4つのラッチ回路7を介して出力回路8へ転送される。差分アンプ11は、D/Aコンバータ10のD/A変換結果とアナログ入力信号Vinとの差分を増幅する。その差分アンプ11の出力は、2段目の回路4へ転送される。

【0029】2段目の回路4においては、1段目の回路3の差分アンプ11の出力に対して、1段目の回路3と同様の動作が行われる。また、3段目の回路5においては、2段目の回路4の差分アンプ11の出力に対して、1段目の回路3と同様の動作が行われる。そして、2段目の回路4から中上位2ビットのデジタル出力(2⁵, 2⁴)が得られ、3段目の回路5から中下位2ビットのデジタル出力(2³, 2²)が得られる。

【0030】4段目の回路6においては、3段目の回路5の差分アンプ11の出力に対して、サブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル出力(2¹, 2⁰)が得られる。

【0031】1～4段目の回路3～6のデジタル出力は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル出力の同期をとるために設けられている。

【0032】出力回路8は、アナログ入力信号Vinの10ビットのデジタル出力Doutをパラレル出力する。ところで、差分アンプ11はオペアンプによって構成されるが、その精度パラメータはゲインエラーGEとオフセットOFから規定される。従って、i段目の回路3～6のオーバーレンジ量Xは、式(2)に示すように、ゲインエラーGEおよびオフセットOFと、その回路2～6の差分アンプ11のゲイン(閉ループゲイン)Aiと、その回路2～6のLSBiとから表される。また、直線性誤差Yは、式(3)に示すように、ゲインエラーGEとゲインAiとLSBiとから表される。

【0033】

る。

【0034】また、式(3)から、1段目の回路3のLSB1を小さくした場合には、2～4段目の回路4～6のLSB2～LSB4を小さくした場合よりも、直線性誤差Yの低減効果が大きくなることがわかる。1段目の回路3のLSB1を小さくすることは、1段目の回路3のビット数(ビット構成)を大きくすることに他ならない。従って、1段目の回路3を1～3ビットにした場合に比べて、本実施形態のように4ビットにした場合の方が直線性誤差Yを小さくすることができる。ところで、1段目の回路3を5ビット以上にすると、LSB1が小さくなり過ぎて十分な変換精度を得ることが難しくな

り、多段パイプライン構成にした意味が薄れる。実際問題として、1段目の回路3を9ビット以上にするのは現実的でない。

【0035】尚、各段の回路3～6のビット数（ビット構成）を等しくすれば、各回路3～6が同一構成となるため、CMOSロジックによるオンチップ化が容易になる。以上の結果をまとめると、10ビットA/Dコンバータを具体化するには、本実施形態のように、4段パイプラインで、1段目の回路3を4ビット構成、2～4段目の回路4～6を2ビット構成とする（以下、4-2-2-2構成という）のが望ましいことがわかる。

【0036】例えば、4段パイプラインで3-3-3-2構成をとった場合には、オーバーレンジ量Xは小さくなるものの、直線性誤差Yが大きくなる。また、3段パイプラインで4-3-3構成をとった場合には、直線性誤差Yは小さくなるものの、オーバーレンジ量Xが大きくなる。そして、4段パイプラインで4-3-2-1構成をとった場合には、各段の内部回路構成が全て異なるため、設計効率が悪くなる。

【0037】図2に、サブA/Dコンバータ9の内部回路を示す。サブA/Dコンバータ9はフラッシュ方式をとり、レファレンス抵抗R、コンパレータ21、エンコーダ22から構成される。レファレンス抵抗Rは全て同じ抵抗値であり、高電位側レファレンス電圧線Vrb1および低電位側レファレンス電圧線Vrt1（または、高電位側レファレンス電圧線Vrb2および低電位側レファレンス電圧線Vrt2）間に直列に接続されている。ビット数（ビット構成）nのサブA/Dコンバータ9は（2ⁿ-1）個のコンパレータ21を備える。各コンパレータ21は、レファレンス抵抗Rによって生成されたレファレンス電圧の分圧電圧と入力信号（アナログ入力信号V_{in}または前段の回路3～5の差分アンプ11の出力）とを比較する。エンコーダ22は、各コンパレータ21の比較結果に基づいて、入力信号のA/D変換結果であるデジタル出力を生成する。

【0038】尚、2～4段目の回路4～6のサブA/Dコンバータ9は、1ビット以上の冗長ビットを備えるため、その冗長ビット分だけのレファレンス抵抗Rおよびコンパレータ21を余分に有している。

【0039】図3に、1～4段目の回路3～6とレファレンス電圧線Vrb1、Vrt1、Vrb2、Vrt2の接続関係を示す。1段目および3段目の回路3、5はレファレンス電圧線Vrb1、Vrt1に接続され、2段目および4段目の回路4、6はレファレンス電圧線Vrb2、Vrt2に接続されている。すなわち、奇数段の回路3、5と偶数段の回路4、6では、レファレンス電圧線が分離されている。各段の回路3～6のサブA/Dコンバータ9およびD/Aコンバータ10には、各回路3～6に接続されたレファレンス電圧線からレファレンス電圧が供給されている。

【0040】1～4段目の回路3～6は1つの半導体チ

ップ31上に形成されてオンチップ化されている。2本の高電位側レファレンス電圧線Vrb1、Vrb2は電源パッド32の近傍で接続され、その接続点はコンデンサ33でデカップリングされている。また、2本の低電位側レファレンス電圧線Vrt1、Vrt2は電源パッド34の近傍で接続され、その接続点はコンデンサ35でデカップリングされている。

【0041】パイプライン動作では、奇数段の回路3、5のサブA/Dコンバータ9がA/D変換を行っている時、偶数段の回路4、6のD/Aコンバータ10はD/A変換を行う。また、奇数段の回路3、5のD/Aコンバータ10がD/A変換を行っている時、偶数段の回路4、6のサブA/Dコンバータ9はA/D変換を行う。

【0042】サブA/Dコンバータ9は多数のコンパレータ21を備え、その多数のコンパレータが同時に動作するため、レファレンス電圧線にノイズが生じやすい。特に、コンパレータ21にチョップ方式や差動チョップ方式を用いた場合には、コンパレータ21が備えるチョップ容量の充放電電流がレファレンス電圧線に流れるため、非常に大きなノイズが生じる恐れがある。

【0043】しかし、本実施形態においては、奇数段の回路3、5と偶数段の回路4、6でレファレンス電圧線が分離されている。従って、奇数段（または偶数段）のサブA/Dコンバータ9のA/D変換動作によってレファレンス電圧線に生じるノイズが、偶数段（または奇数段）のD/Aコンバータ10のD/A変換動作に悪影響を及ぼす恐れはない。その結果、レファレンス電圧を安定化することができる。

【0044】また、レファレンス電圧線は各コンデンサ33、35でデカップリングされているため、レファレンス電圧は各コンデンサ33、35の容量によって固定化される。従って、コンパレータ21にチョップ方式や差動チョップ方式を用いた場合でも、コンパレータ21が備えるチョップ容量の充放電電流は各コンデンサ33、35によって吸収される。逆に言えば、コンパレータ21に差動方式を用いた場合には、レファレンス電圧線に生じるノイズが少ないため、各コンデンサ33、35の容量を小さくしてもよく、ノイズが非常に少なければ各コンデンサ33、35を省くことも可能である。

【0045】ところで、差分アンプ11は、アナログ入力信号V_{in}または前段の回路3、4の差分アンプ11の出力と、同じ段の回路3～5のD/Aコンバータ10のD/A変換結果との差分を増幅する。D/A変換結果は、アナログ入力信号V_{in}または前段の回路3、4の差分アンプ11の出力が、その段の回路3～5に入力された後に生成される。そのため、差分アンプ11は、D/A変換結果が得られるまでの間、アナログ入力信号V_{in}または前段の回路3、4の差分アンプ11の出力をサンプリングして保持する。

【0046】従来は、図4に示すように、差分アンプ1

1のサンプリング時点(図示A)と、同じ段の回路3～5のサブA/Dコンバータ9のサンプリング時点(図示B)とを同じに設定していた。これは、同じ段の回路3～5において、差分アンプ11のサンプル電圧とサブA/Dコンバータ9のサンプル電圧とを等しくするためである。両者のサンプル電圧に差が生じると、A/D変換精度が低下する。

【0047】本実施形態では、図5に示すように、差分アンプ11のサンプリング時点(図示A)を、同じ段の回路3～5のサブA/Dコンバータ9のサンプリング時点(図示B)よりも後に設定している。

【0048】その結果、同じ段の回路3～5において、差分アンプ11のサンプル電圧とサブA/Dコンバータ9のサンプル電圧とに若干の差が生じる。しかし、2段目および3段目の回路4、5のビット構成は2ビットと小さいため、そのサンプル電圧に生じる差はLSBiに対してごく僅かである。従って、そのサンプル電圧に生じる差によってA/D変換精度が低下することはほとんどない。

【0049】また、前記したように、2～4段目の各回路4～6のサブA/Dコンバータ9は1ビット以上の冗長ビットを備える。その冗長ビットによってサンプル電圧に生じる差が吸収されるため、A/D変換精度の低下を防止することができる。尚、サンプル電圧に生じる差を吸収するのに要する冗長ビット数は1ビットもあれば十分である。

【0050】このように、本実施形態によれば、以下の作用および効果を得ることができる。

(1) 多段パイプライン構成をとることで、各段の回路3～5において、アナログ入力信号Vinまたは前段の回路3、4の差分アンプ11の出力と、その段の回路3～5のデジタル出力のD/A変換結果との差分が、差分アンプ11によって増幅される。そのため、変換ビット数が増大してLSBが小さくなっても、サブA/Dコンバータ9を構成する各コンパレータ21の分解能を実質的に向上させることが可能になり、十分な変換精度が得られる。

【0051】(2) 差分アンプ11の特性が劣っている場合でも、十分な変換精度が得られる。従って、前記した②および③の問題を回避することができる。すなわち、差分アンプ11をカスケード方式のオペアンプで構成する必要がない。また、差分アンプ11の負帰還容量のバラツキについてはそれほど留意しなくてもよい。半導体チップ31に1層ポリシリコン構造を採用することができる。その結果、A/Dコンバータ1の消費電力およびコストを共に低減することができる。

【0052】(3) 差分アンプ11のサンプリング時点と、同じ段の回路3～5のサブA/Dコンバータ9のサンプリング時点よりも後に設定しているため、差分アンプ11のスルーレートを大きくする必要がない。つま

り、差分アンプ11に要求されるスルーレート特性が緩和される。従って、前記した④の問題を回避することができる。

【0053】(4) レファレンス電圧が安定化されるため、A/Dコンバータ1の変換精度が向上する。従って、前記した⑤の問題を回避することができる。すなわち、レファレンス抵抗Rを小さくする必要がないため、レファレンス電圧線間に流れる貫通電流を小さくすることが可能になり、消費電力を低減することができる。

【0054】(5) A/Dコンバータ1をCMOSロジックで構成してオンチップ化することができる。尚、上記実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0055】(1) 4本のレファレンス電圧線Vrb1, Vrt1, Vrb2, Vrt2をそれぞれ別個のコンデンサでデカップリングする。このようにすれば、レファレンス電圧がさらに安定化する。

【0056】(2) 1～4段目の各回路3～6毎に別個のレファレンス電圧線を設ける。このようにすれば、レファレンス電圧がさらに安定化する。

(3) サブA/Dコンバータ9をフラッシュ方式以外の方式で具体化する。

【0057】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項1～3のいずれか1項に記載のアナログーデジタル変換回路において、各段のビット構成が8ビット以下であるアナログーデジタル変換回路。

【0058】このようにすれば、A/D変換精度が向上する。

(ロ) 各段がアナログーデジタル変換回路とデジタルーアナログ変換回路と差分アンプとから成る多段パイプライン構成をとり、奇数段と偶数段で別個のレファレンス電圧線を備え、各レファレンス電圧線は高電位側配線と低電位側配線から構成され、各レファレンス電圧線がそれぞれ別個にデカップリングされたアナログーデジタル変換回路。

【0059】このようにすれば、レファレンス電圧がさらに安定化する。

【0060】

【発明の効果】以上詳述したように本発明によれば、高精度かつ低消費電力で安価にオンチップ化が可能な多ビットのアナログーデジタル変換回路を提供することができる。

【図面の簡単な説明】

【図1】一実施形態のブロック回路図。

【図2】一実施形態を構成するコンパレータの回路図。

【図3】一実施形態のレファレンス電圧線の接続関係を示す回路図。

【図4】従来のタイミングチャート。

10

20

30

40

50

【図5】一実施形態のタイミングチャート。

【符号の説明】

- 3…1段目の回路
4…2段目の回路
5…3段目の回路
6…4段目の回路

9…サブA/Dコンバータ

10…D/Aコンバータ

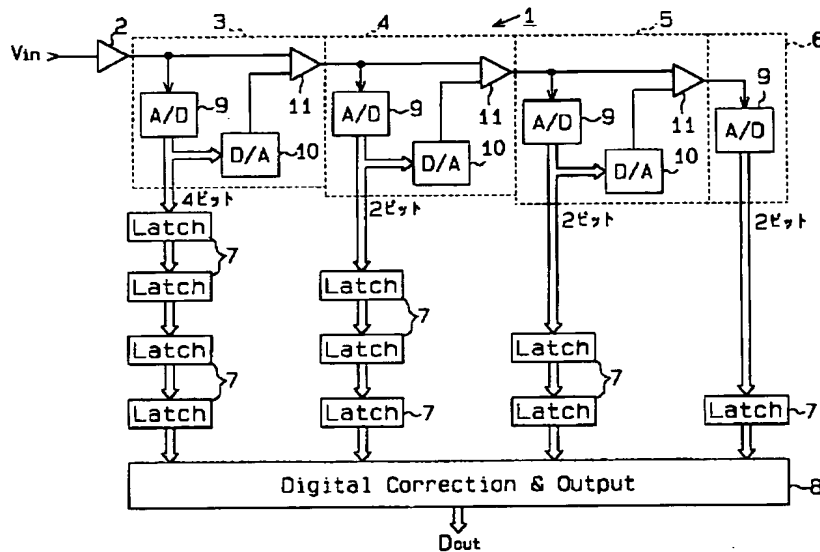
11…差分アンプ

Vrb1, Vrb2…高電位側レファレンス電圧線

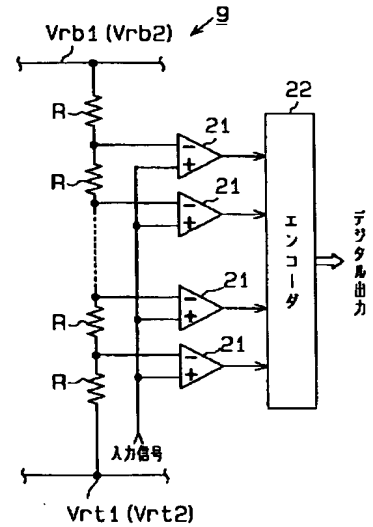
Vrt1, Vrt2…低電位側レファレンス電圧線

33, 35…コンデンサ

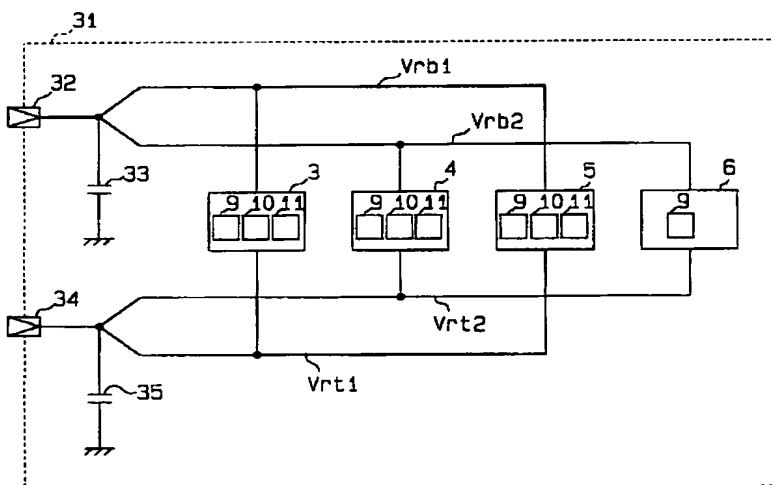
【図1】



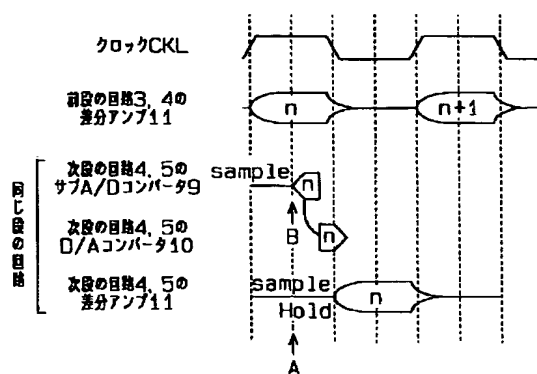
【図2】



【図3】



【図4】



【図5】

